

Московский физико-технический институт
(государственный университет)

Выпускная квалификационная работа

Разработка контроллера NAND-флеш-памяти

Научный руководитель: Фельдман В.М.

Студент: Мотин Н.А. ФРКТ 613 гр.

Введение

- NAND-Flash память широко используется во многих потребительских электронных устройствах, включая смартфоны, планшетные ПК и мобильные интернет-устройства.
- Использование собственного контроллера с nand-flash вместо сторонней eMMC(embedded Multimedia Memory Card) позволяет уменьшить цену за гигабайт объема.

Постановка задачи

Цель работы: разработать модуль контроллера NAND-флеш-памяти.

Требования

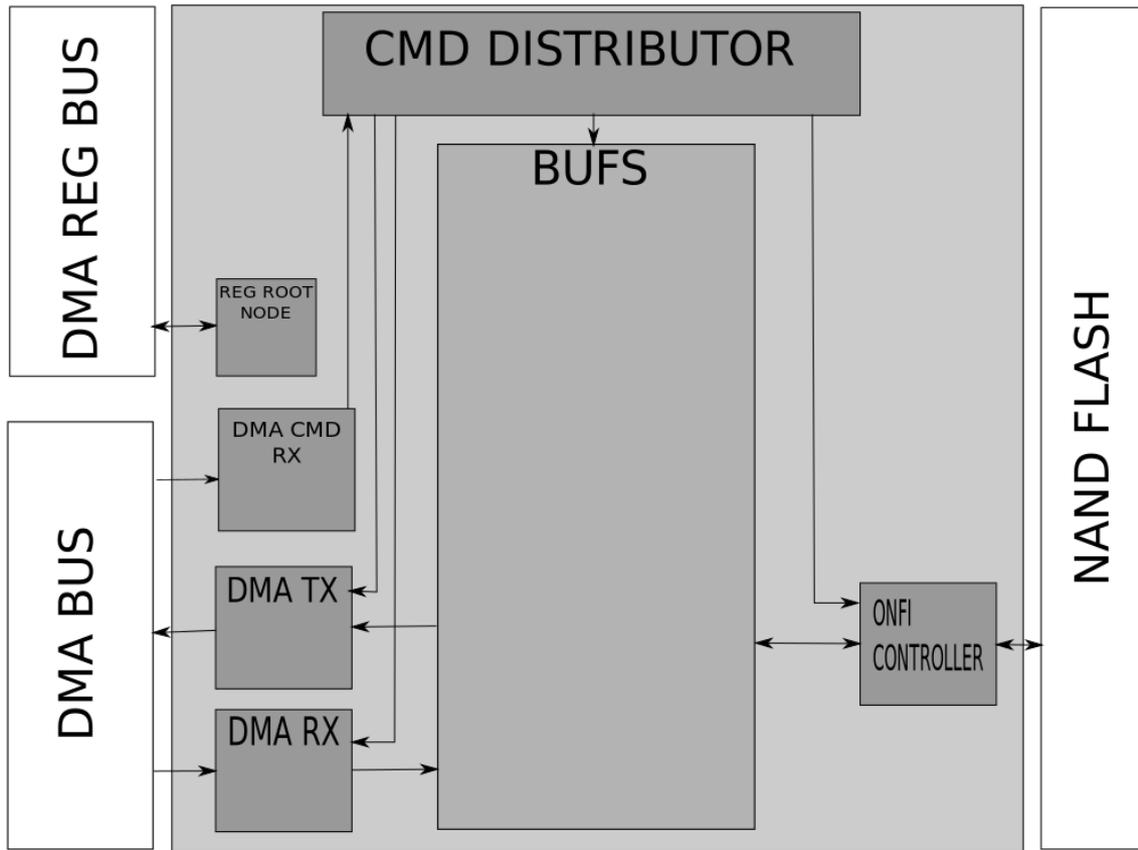
Контроллер должен:

- Иметь стандартные внутренние интерфейсы доступа к регистрам и DMA
- Поддерживать ONFI интерфейс NAND-Flash
- Иметь тактовую частоту равную шинной частоте шины avalon — 125МГц для реализации на ПЛИС
- Поддерживать 64-битную адресацию.
- Поддерживать отправку MSI-X прерываний.
- Быть готов к прототипированию на плис.

Задачи

- Разработка структурной схемы контроллера.
- Определение программного интерфейса контроллера.
- Создание RTL-описания контроллера.
- Подготовка контроллера к верификации на ПЛИС-прототипе.

Структурная схема контроллера



- DMA CMD RX – модуль чтения команд по DMA.
- CMD DISTRIBUTOR – модуль распределения команд по исполнительным устройствам.
- BUFS — модуль буферов памяти.
- REG ROOT NODE – корневой узел системы регистров, объединяет и выводит выходные сигналы регистров на шину DMA REG BUS.
- DMA TX – модуль исполнительного устройства записи данных из буферов по DMA и отправки прерываний.
- DMA RX – модуль исполнительного устройства чтения данных из буферов по DMA.
- ONFI controller — модуль исполнительного устройства управления сигналами NAND-Flash.

Разработка программного интерфейса контроллера Управляющие регистры

Распределенная система регистров – в составе каждого функционального блока находятся только относящиеся к нему регистры.

преимущество: Сокращается сложность описания

недостаток: Повышенный расход аппаратуры на дешифрацию адресов регистров

Все регистры устройства можно разделить на 5 подгрупп:

- MSI-X
- Механизм чтения команд
- Конфигурация интерфейса ONFI
- Отображение параметров контроллера, таких как: размер и количество буферов, количество доступных тэгов
- Программная перезагрузка контроллера и разрешение прерываний

Управляющие регистры MSI-X

Регистры необходимые для поддержки отправки MSI-X прерываний реализованы в соответствии с стандартом PCI Local Bus 3.0

31	16 15	8 7	3 2 1 0	
Message Control			Next Pointer	Capability ID
Message Upper Address				
Table Offset				BIR
				CP+00h
				CP+04h
				CP+08h

Message Address	Message Data	entry 0	Base
Message Address	Message Data	entry 1	Base+1*8
Message Address	Message Data	entry 2	Base+2*8
...
Message Address	Message Data	entry (N-1)	Base+(N-1)*8

Message Control[15] — разрешение MSI-X

Message Control[14:11] — зарезервированы

Message Control [10:0] — размер таблицы

Table Offset — смещение в BAR

BIR — индикатор BAR

Message Upper Address — старшие биты адреса записи

Capability ID — показывает что устройство поддерживает MSI-X

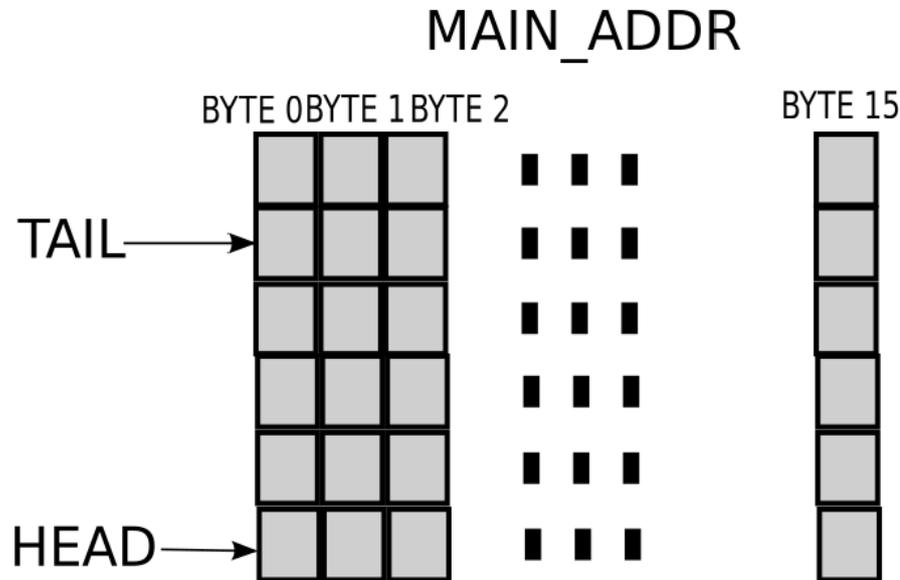
Message Data — данные записи

Message Address — младшие биты адреса записи

Управляющие регистры

Механизм чтения команд

Контроллер последовательно читает команды из памяти по DMA, используя значения специальных регистров MAIN_ADDR, HEAD и TAIL.

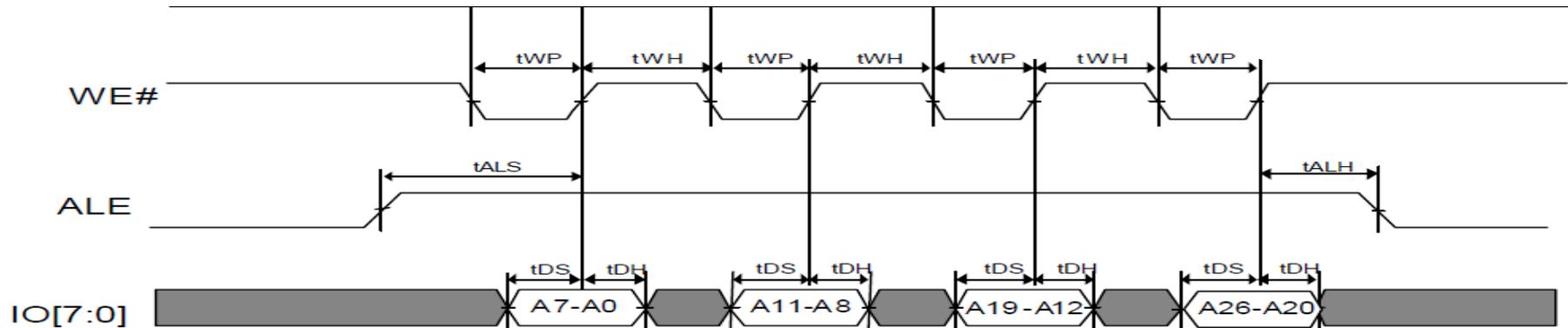


MAIN_ADDR – базовый адрес запросов чтения команд
HEAD – указатель на последнюю команду в программе. Сдвигается программно для начала чтения программы.
TAIL – указатель на первую не считанную команду в программе. Аппаратно увеличивается на 1 при каждом чтении команды. При равенстве с HEAD чтение останавливается.
Количество используемых в бит в HEAD и TAIL является аппаратным параметром.
Адрес запроса чтения вычисляется как $MAIN_ADDR + 16 * TAIL$

Управляющие регистры Конфигурация интерфейса ONFI

Временные диаграммы NAND-Flash имеют параметры установления и удержания управляющих сигналов, специфичные для каждой модели устройства.

В целях максимальной адаптивности контроллера было принято решение задавать их в количестве тактов при конфигурации устройства через регистры.



Разработка программного интерфейса контроллера Система команд

Размер всех команд равен ширине шины данных DMA – 16 байт.

Список поддерживаемых команд:

- Команды чтения и записи данных по DMA
- Команды отправки прерываний
- Команды для работы с NAND-Flash:
 - Загрузка команды в NAND-Flash
 - Загрузка адреса в NAND-Flash
 - Загрузка данных в NAND-Flash
 - Чтение данных из NAND-Flash
 - Задержка в несколько тактов

Система команд

Тэги

Тэг — число, присваиваемое программистом каждой инструкции. Контроллер гарантирует что команды, которым присвоено одно и тоже значение, будут выполняться в порядке в котором они стоят в программе.

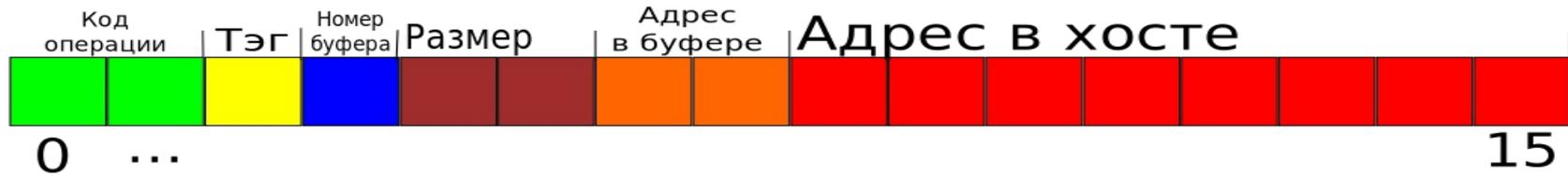
Таблица тэгов — часть модуля дешифрации и распределения команд, где каждому тэгу ставится в соответствие его состояние: свободен или занят.

Команда с свободным тэгом сразу по готовности исполнительного устройства отправляется на выполнение. Тэг становится занятым и освобождается по завершению выполнения.

Команда с занятым тэгом останавливает конвейер выборки и распределения команд до тех пор пока тэг не освободится.

Система команд DMA и MSI-X команды

Запись и чтение по dma bus в/из буфера



Отправка прерывания



Система команд NAND-Flash команды

Загрузка адреса в nand flash

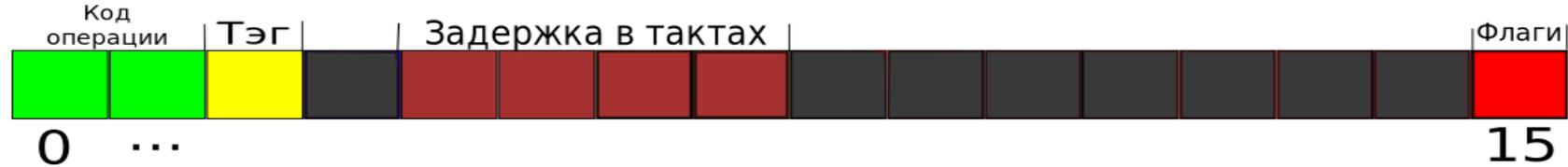


Загрузка команды в nand flash

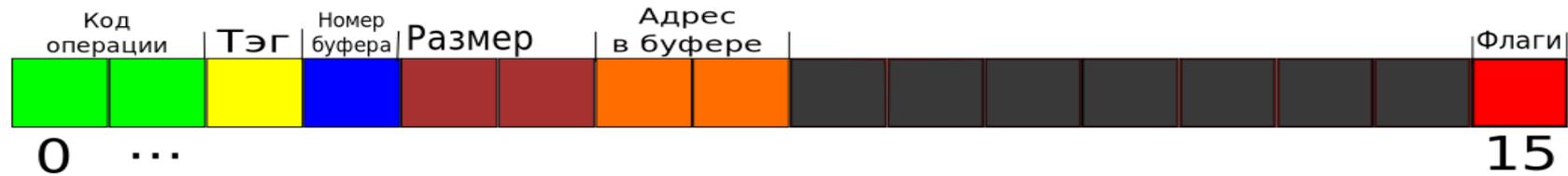


Система команд NAND-Flash команды

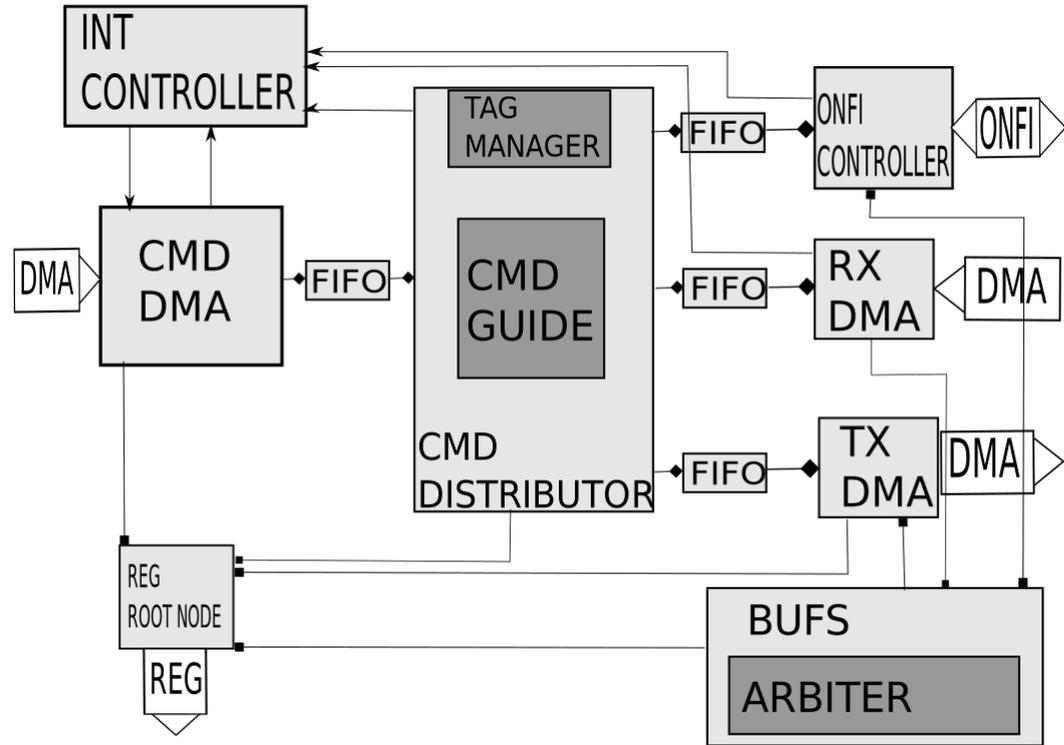
Задержка на nand flash



Запись и чтение в/из nand flash



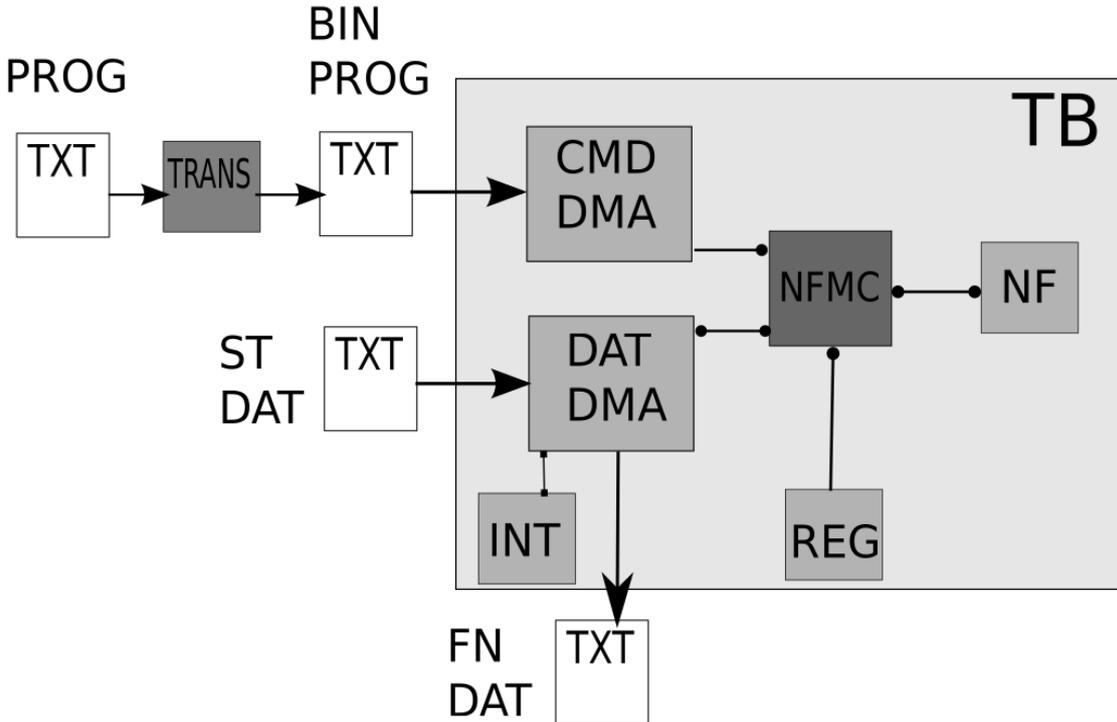
Разработка RTL-описания



- CMD DMA — модуль чтения команд по DMA в fifo.
- CMD DISTRIBUTOR — модуль распределения команд.
- TAG MANAGER — менеджер таблицы тэгов.
- CMD GUIDE — модуль разделения команд по функциям.
- RX DMA — модуль чтения данных по DMA.
- TX DMA — модуль записи данных по DMA.
- ONFI CONTROLLER — модуль управляющий сигналами nand-flash.
- BUFS — модуль с системой буферов. Количество и размер буферов параметризованы.
- ARBITER — модуль приоритетного арбитра управления доступом к буферам.
- INT CONTROLLER — модуль контроллера прерываний.
- REG ROOT NODE — модуль объединения выходных сигналов регистров.

Моделирование

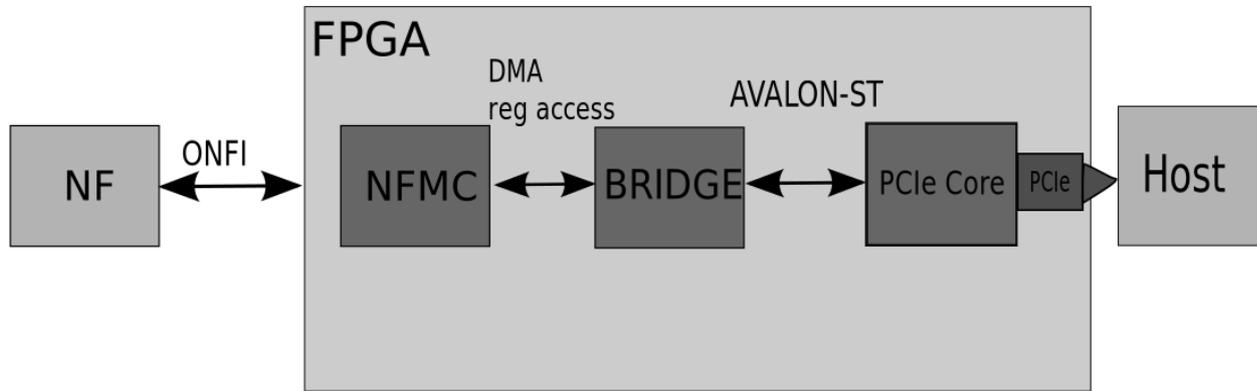
Схема тестового окружения



- PROG – Код теста в текстовом представлении
- TRANS – Транслятор из текстового в бинарное описание
- BIN PROG – Код теста в бинарном представлении
- CMD DMA – Память команд доступная по DMA, генерирующая случайные задержки ответов на запросы
- DAT DMA – Память данных доступная по DMA, генерирующая случайные задержки ответов на запросы
- ST DAT – Инициализация DAT DMA
- FN DAT – Итоговое заполнение DAT DMA
- INT – Обработчик прерываний MSI-X
- REG – Модуль конфигурации регистров контроллера
- NFMC – тестируемый разработанный контроллер
- NF – модель NAND-Flash от производителя

Подготовка контроллера к верификации на плис прототипе

Схема макета



NF – NAND-Flash

NFMC — разработанный контроллер NAND-Flash

BRIDGE – переходник с интерфейсов доступа к регистрам и DMA на avalon-st

PCIe Core – Altera PCIe IP Core

Host — Корень PCIe, ЦПУ, системная память

Подготовка контроллера к верификации на плиз прототипе

Результаты

- Успешно проведен синтез проекта в «Quartus 15.0» для Stratix 4
- При помощи static timing analyzer из пакета Quartus убедились в соответствии временных параметров синтезированного проекта заданным требованиям
- Количество использованных комбинационных логических элементов: 3119
- Количество использованных триггеров: 3130
- Количество использованных модулей блочной памяти: 12

Результаты

- Разработана структурная схема контроллера.
- Разработан программный интерфейс контроллера.
- Разработано RTL-описание контроллера.
- Контроллер подготовлен к верификации на плиз прототипе.