

Московский физико-технический институт
(государственный университет)

Выпускная квалификационная работа

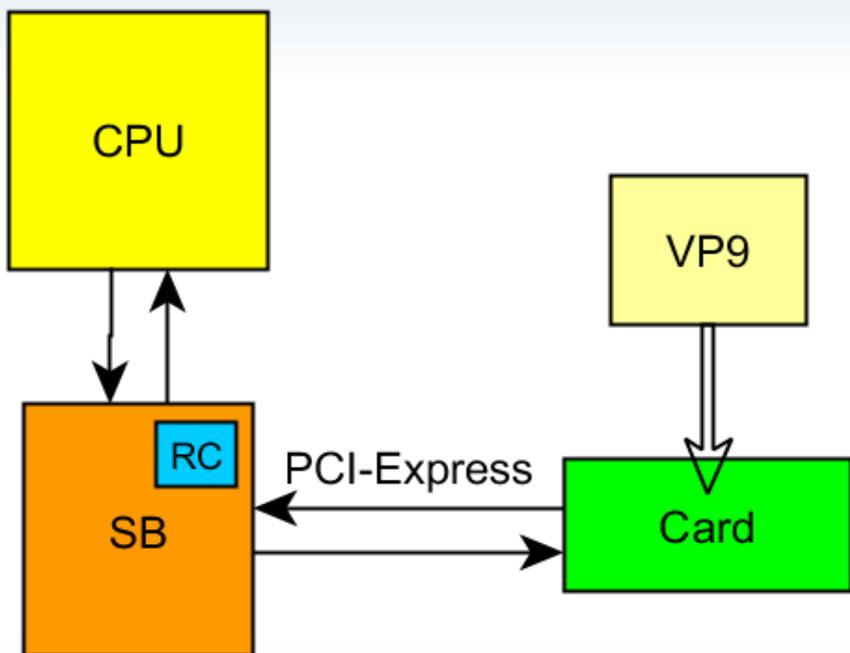
**Разработка устройства, реализующего
видеокодек VP9 G2 в виде карты расширения
с интерфейсом PCI-Express**

Научный руководитель: Белянин И. В.
Студент: Ярмухаметов В. Ф. ФРТК 413 гр.

Введение

- Разрабатываемый процессор Эльбрус-2С3 оснащен встроенным графическим ядром и различными видеокодеками, в числе которых декодер Google VP9 G2.
- ПО для работы с аппаратным декодером необходимо отладить до появления прототипа процессора
- Декодер Google VP9 G2 не имеет доступных аппаратных реализаций
- Было решено реализовать аппаратную часть декодера Google VP9 G2 с помощью платы расширения PCI-Express, оснащенной ПЛИС

Стенд для отладки ПО



CPU – процессор Эльбрус-1С

SB – контроллер

периферийных интерфейсов
КПИ-2 (южный мост)

RC – Root Complex, входит в
состав КПИ-2

Card – карта расширения
PCI Express, оснащенная ПЛИС,
с реализованной логикой
декодера Google VP9 G2

Цель работы

Разработать устройство, реализующее декодер Google VP9 G2 в виде платы расширения PCI-Express, оснащенной ПЛИС

Задачи

- Разработать мост между шинами декодера Google VP9 G2 и PCI Express
- Подготовить проект в Quartus для реализации декодера в ПЛИС

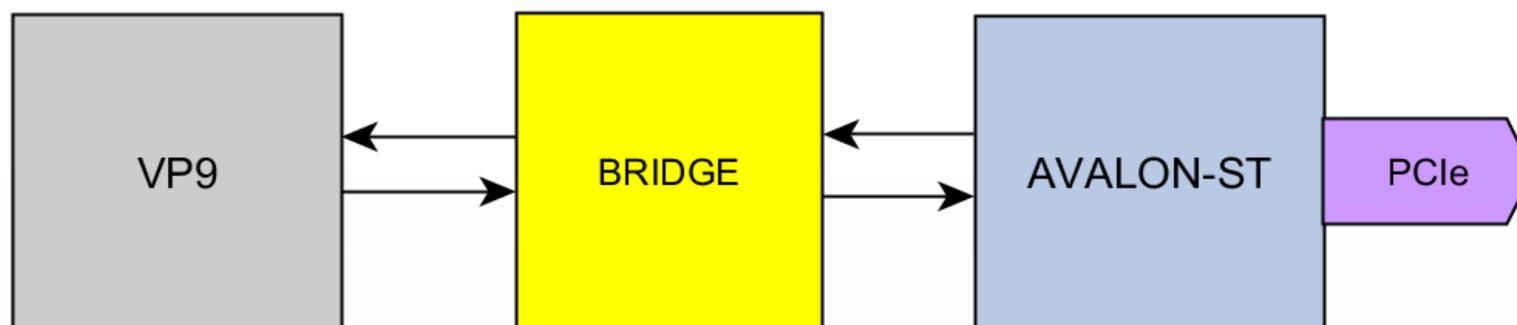
Требования

- Реализовать устройство на основе Altera Arria 10 GX FPGA development board
- Использовать Hard IP Altera Avalon-ST(Streaming Interface)
- Частота кодека должна составлять не менее 48.6 МГц (минимальная частота для работы с видеопотоком Full HD 60fps в режиме реального времени)

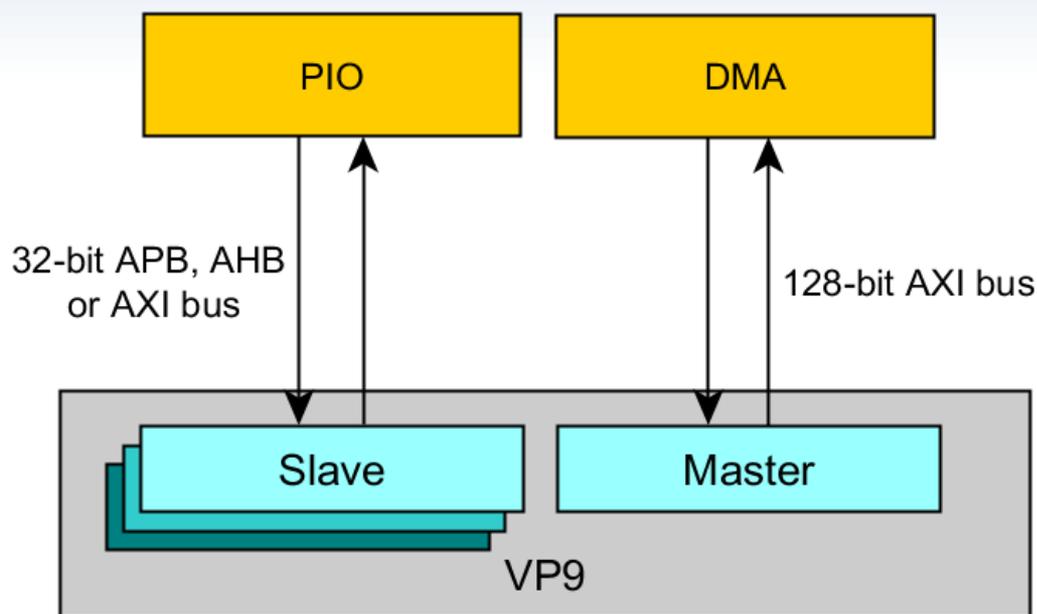


Базовая схема устройства

С учетом требования об использовании Hard IP Avalon-ST, предоставляющем интерфейс для обмена данными с шиной PCI Express без необходимости её настройки, базовая схема устройства выглядит следующим образом



Интерфейсы декодера



- Декодер имеет 2 интерфейса: Slave - для доступа к управляющим регистрам, и Master – для прямого доступа в оперативную память процессора.
- Master-интерфейс использует 128-битную шину AMBA AXI4
- Slave-интерфейс может использовать шины AMBA APB, AHB или AXI. В процессоре Эльбрус-2С3 используется AXI.

Конфигурация Avalon-ST

- Так как к пропускной способности Slave-интерфейса декодера не предъявляются высокие требования, ширина шины Avalon-ST была задана такая же, как у Master-интерфейса – 128 бит.
- Для выбранной разрядности подходит конфигурация PCI Express Gen2x4. При этом шина Avalon-ST функционирует на частоте 125 МГц

Реализация моста. Проблемы

- **Проблема 1:** размер пакетов AXI-шины не соответствует ограничениям интерфейса Avalon-ST
Решение: разбиение пакетов
- **Проблема 2:** после закрытия канала связи со стороны приемника передатчик Avalon-ST может продолжать передачу данных до 3х тактов.
Решение: буферизация и запаздывающее формирование сигналов
- **Проблема 3:** частота декодера меньше частоты Avalon-ST, но приемник Avalon-ST должен получать пакеты без пауз.
Решение: формирование заголовка пакета при готовности всех данных

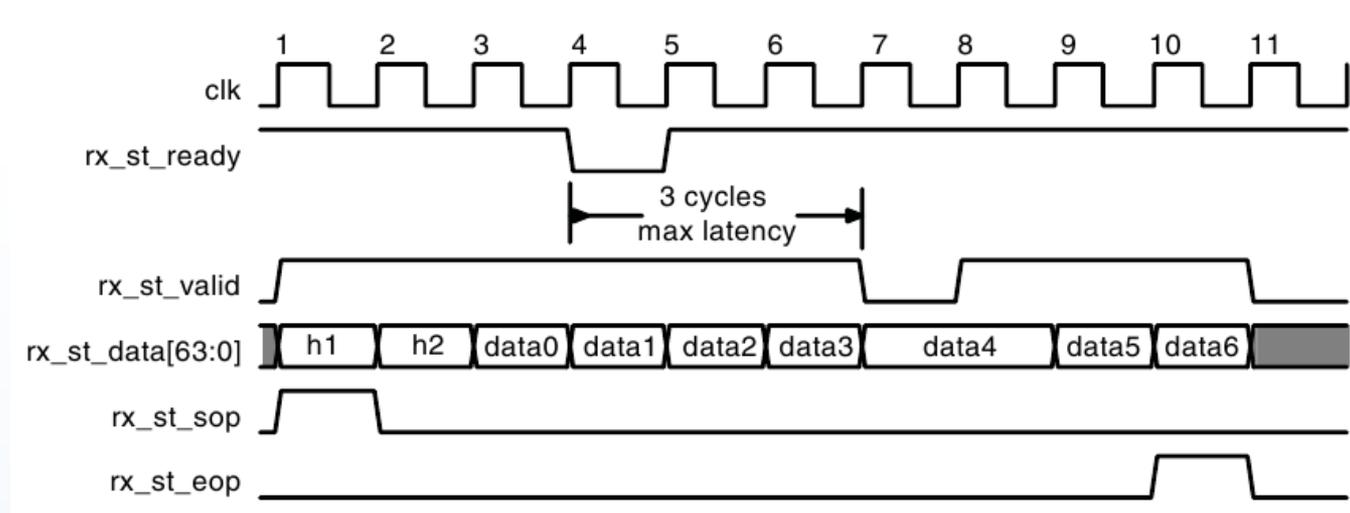
Разбиение пакетов

- Avalon-ST ограничивает пропускаемые пакеты по (MAX_READ_REQUEST_SIZE, MAX_PAYLOAD_SIZE) 128-512 Dwords , в то же время шина AXI может выдать запрос вплоть до 4096 DWords, поэтому был организован контроль разбиения и учёта пакетов.
- Шина AXI требует последовательной передачи запрошенных данных (поле ID не используется), поэтому был организован буфер данных DMA чтений с учетом запрошенных и пришедших пакетов.
- Root Complex PCI Express в составе КПИ-2 разбивает пакеты по границе 64 байт. Для упрощения логики работы буфера и во избежание его фрагментации запросы на чтение разбиваются так же.

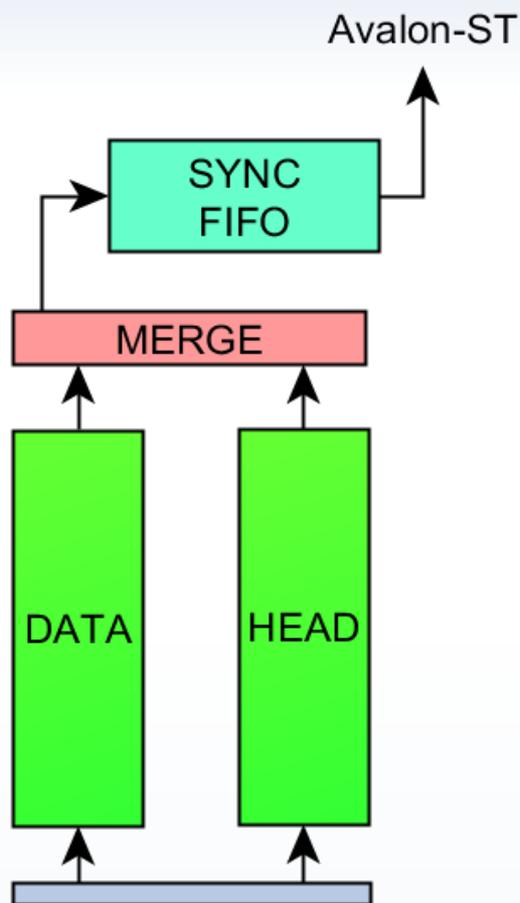
Буферизация и запаздывающее формирование сигналов

Передатчик Avalon-ST может продолжать передавать данные по закрытому каналу вплоть до 3х тактов.

- на интерфейсе приема пакетов от Avalon-ST RX был введен буфер на 3 такта, что позволило организовать остальную логику моста без учета этой особенности
- при передаче пакетов шине Avalon-ST TX формирование сигнала передачи данных основывается на запаздывающем сигнале готовности приёма



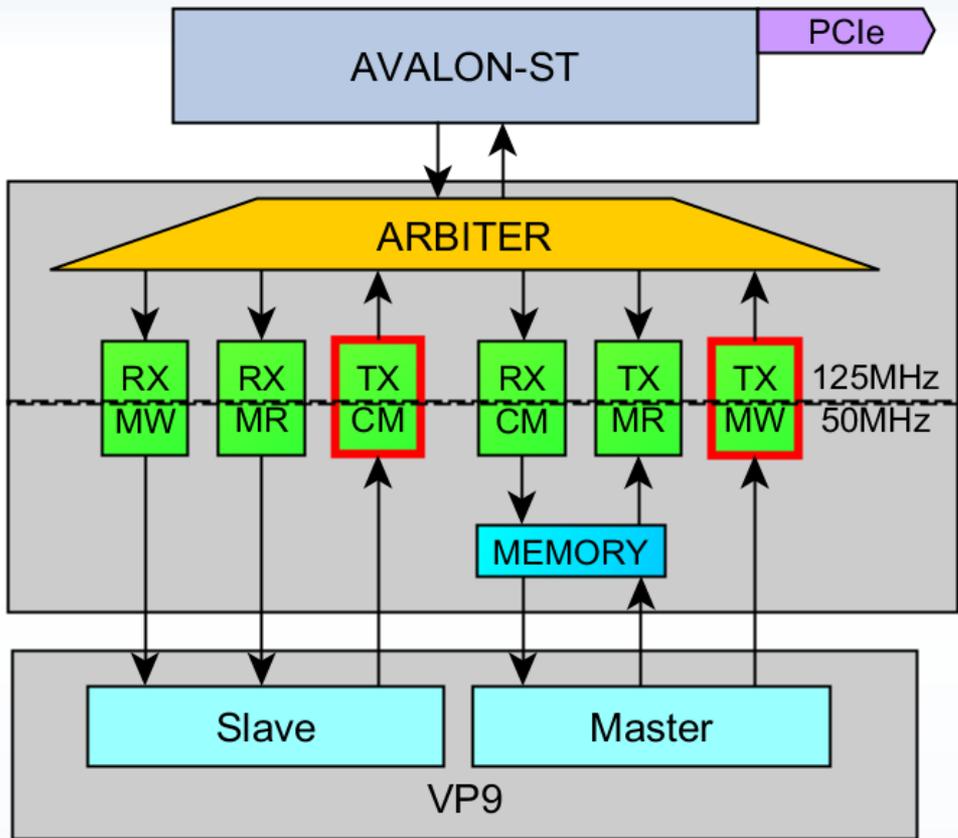
Передача пакетов без пауз



При обычной передаче пакетов через асинхронный буфер могут быть задержки, что нарушает работу Avalon-ST, поэтому:

- Передача PCIe-заголовков и данных производится параллельно по асинхронным буферам
- Формирование и передача заголовка пакета только при наличии всех данных
- В дальнейшем пакет собирается уже в высокочастотном домене и передается сортировщику

Схема моста



 - модуль-арбитр, сортирует пакеты и определяет текущий исходящий потока

 - буфер пересинхронизации данных (**красным** выделены буфера отдельной передачи данных и заголовков)

 - буфер хранения тегов и принятых completion'ов

MR – Memory Read
MW – Memory Write
CM – Completion

Результаты

- Разработан мост между декодером Google VP9 G2 и шиной PCI Express с использованием Hard IP Avalon-ST и учетом всех его особенностей
- По результатам проектирования с использованием инструментов среды Quartus декодер функционирует на частоте 50 МГц
- Ведется отладка подготовленной прошивки для платы Altera Arria 10 GX FPGA development board