

Московский физико-технический институт (государственный университет)
Факультет радиотехники и кибернетики
Кафедра информатики и вычислительной техники

Выпускная квалификационная работа бакалавра

**Построение оптимального алгоритма
тестирования и исправления ошибок в
блоках кэш-памяти процессоров,
изготавливаемых по технологическим
нормам уровня 28 нм**

Студент: Альфонсо Д.М., 913 группа

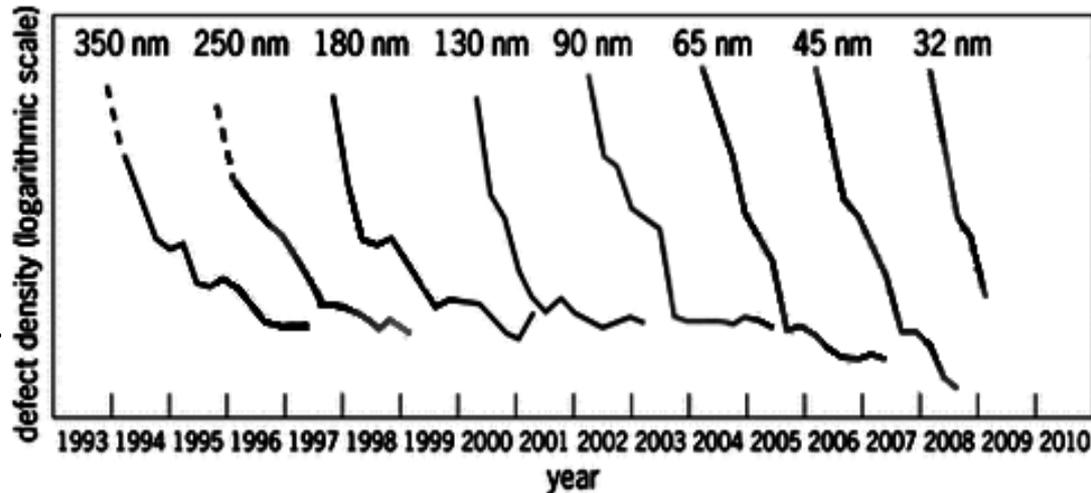
Научные руководители: д.т.н. Груздов Ф.А., Костенко В.О.

Встроенная память МП «Эльбрус-4С+»

- ❑ Технологический процесс: 28 nm
- ❑ Суммарный объём памяти: 22,5 Мбайт
- ❑ Площадь кристалла: 368 mm²
- ❑ Занимаемая на кристалле площадь:
~40% (~150mm²)
- ❑ Плотность размещения транзисторов в блоках памяти выше, чем в логике, следовательно вероятность возникновения дефекта в памяти выше

Проблема повышения выхода годных процессоров

- МП «Эльбрус-2С+»
 год выпуска: 2011;
 тех. процесс: 90 nm;
 площадь кристалла 289 mm².
 Выход годных: ~80%
 (без единого дефекта).



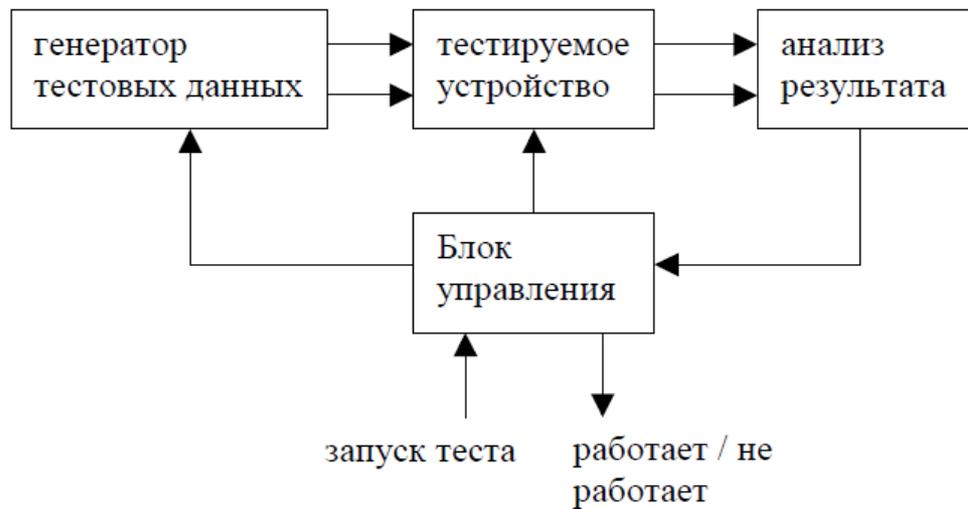
- Предполагаемый выход годных процессоров «Эльбрус-4С+»: ~25-30% (даже после применения всех известных методов компенсации неисправностей в блоках памяти)

- Дефекты блоков памяти ожидаются более чем в 50% процессоров.

Технология	HKMG 28nm HP		
Площадь кристалла	100 mm ²	200 mm ²	368 mm²
Выход годных	56,8%	42,9%	~25-30%
Источник	Аналитические компании	Линейная аппроксимация	

Повышение выхода годных процессоров с помощью схем BIST (Built-In Self Test)

- На входы проверяемого блока подаются тестовые векторы, с выхода снимаются результаты, которые сравниваются с эталонами для получения сигнатуры.
- Марш-тест — последовательность марш-элементов, каждый из которых состоит из последовательности операций записи (w) и чтения (r) и индикатора направления.
- Операции выполняются последовательно с каждой ячейкой памяти, адрес инкрементируется или декрементируется в соответствии с индикатором направления.



Найденные дефектные ячейки памяти отключаются (с помощью don't use bits) или заменяются на резервные ячейки.

Пример марш-теста:

тест MATS

{ $\uparrow(w0)$, $\uparrow(r0,w1)$; $\uparrow(r1)$ }

Постановка задачи

- Составить максимально полный список всех возможных типов дефектов блоков памяти.
- Определить новые типы дефектов блоков памяти, которые становятся статистически значимыми при переходе производства процессоров на более тонкие технологии.
- Построить оптимальный тестовый алгоритм для BIST, обнаруживающий все статистически значимые дефекты.
- Предложить оптимальную схему замены обнаруженных дефектных ячеек памяти на резервные ячейки.

Полный список статистически значимых типов дефектов блоков памяти уровня технологий 130-90 нм

□ Дефекты массива памяти:

- **Stuck At Fault (SAF)** – ячейка памяти постоянно находится в состоянии логического нуля или логической единицы
- **Stuck Open Fault (SOF)** – ячейка не подсоединена (нет доступа)
- **Transition Fault (TF)** – ячейка, перейдя в состояние с определенным значением, не может совершить обратный переход
- **Data Retention Fault (DRetF)** – ячейка переходит в стабильное состояние при отсутствии обращений к ней в течение некоторого времени
- **Destructive Read Fault (DRF)** – чтение из ячейки может изменить её содержимое
- **Parametric Fault (PF)** – неудовлетворительные технические параметры ячейки
- **Coupling Faults (CFs)** – действие с одной ячейкой вызывает некорректное поведение другой ячейки
- **Neighborhood Pattern Sensitive Faults (NPSF)** – ошибка в ячейке возникает при определённом состоянии ближайших к ней ячеек

□ Дефекты окружающей логики:

- **Address Decoder Faults (ADF)** – неисправности адресного декодера

Новые типы дефектов блоков памяти, становящиеся статистически значимыми на уровне 28 нм и последующих

- ❑ **Bit/Group/Global Write Enable Fault (WEF)** — сигнал *Write Enable* находится постоянно в значении логического нуля или логической единицы или инвертирован
- ❑ **Memory Select Fault (MSF)** — сигнал *Memory Select* находится постоянно в значении логического нуля или логической единицы или инвертирован
- ❑ **Read Enable Fault (REF)** — сигнал *Read Enable* находится постоянно в значении логического нуля или логической единицы или инвертирован
- ❑ **Bitline/Wordline Access Transistor Current Leakage Fault (ATCLF)** — утечка тока транзистора доступа к *bitline* или *dataline* может послужить причиной неправильного чтения содержимого ячейки памяти
- ❑ **Single Port Bitline Coupling Fault (SPBCF)** — взаимное влияние сигналов *bitline* соседних колонок может послужить причиной неправильного чтения содержимого ячейки памяти

Наиболее известные марш-тесты:

- ❑ **MATS++:** $\{\uparrow(w0); \uparrow(r0, w1); \downarrow(r1, w0, r0)\}$
- ❑ **MarchX:** $\{\uparrow(w0); \uparrow(r0, w1); \downarrow(r1, w0); \uparrow(r0)\}$
- ❑ **MarchY:** $\{\uparrow(w0); \uparrow(r0, w1, r1); \downarrow(r1, w0, r0); \uparrow(r0)\}$
- ❑ **MarchC-:** $\{\uparrow(w0); \uparrow(r0, w1); \uparrow(r1, w0); \downarrow(r0, w1); \downarrow(r1, w0); \uparrow(r0)\}$
- ❑ **MarchB:**
 $\{\uparrow(w0); \uparrow(r0, w1, r1, w0, r0, w1); \uparrow(r1, w0, w1); \downarrow(r1, w0, w1, w0); \downarrow(r0, w1, w0)\}$
- ❑ **MarchG:**
 $\{\uparrow(w0); \uparrow(r0, w1, r1, w0, r0, w1); \uparrow(r1, w0, w1); \downarrow(r1, w0, w1, w0); \downarrow(r0, w1, w0);$
 $\textit{delay}; \uparrow(r0, w1, r1); \textit{delay}; \uparrow(r1, w0, r0)\}$
- ❑ Используемый в предыдущих проектах МЦСТ тест **MarchG(m):**
 $\{\uparrow(w0); \uparrow(r0, w1, r1, w0, r0, w1); \uparrow(r1, w0, w1); \downarrow(r1, w0, w1, w0); \downarrow(r0, w1, w0);$
 $\textit{delay}; \uparrow(r0, w1, r1, r1); \textit{delay}; \uparrow(r1, w0, r0, r0)\}$

Сравнение покрытия тестов

Для новых типов дефектов уровня 28+ нм:

Тест\Дефект	WEF	REF	ATCLF	MSF	SPBCF
MATS++	<p>Тестовое покрытие всеми указанными известными тестами полностью отсутствует.</p> <p>Предлагается дополнить марш-тест MarchG(m) некоторыми новыми операциями.</p> <p>Такой дополненный марш-тест, MarchG(m)28+, и будет требуемым оптимальным тестовым алгоритмом, обнаруживающим все перечисленные типы дефектов.</p>				
MarchX					
MarchY					
MarchC-					
MarchB					
MarchG					
MarchG(m)					
MarchG(m)28+	+	+	+	+	+

MarchG(m)28+: дополнение #1

- ❑ **Генерация WE/RE/MS масок** – обнаруживаются дефекты типов WEF, REF и MSF.
- ❑ **Далее на примере WEF:**
 - ❑ Данные по записи: `data==1'b1;`
Маска: `WriteEnable==1'b1;`
Корректные данные: `1'b1.`
 - ❑ Данные по записи: `data==1'b0;`
Маска: `WriteEnable==1'b1;`
Корректные данные: `1'b0.`
 - ❑ Данные по записи: `data==1'b1;`
Маска: `WriteEnable==1'b0;`
Корректные данные: значение ячейки не должно измениться.
- ❑ **Общая формула:** $\sim WE^{\text{data}}$.

MarchG(m)28+: дополнение #2

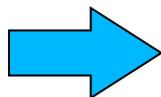
□ Добавление новых марш-элементов:

$\updownarrow(w0)$; $\updownarrow(r0, w1, r1, w0)$; $\updownarrow(w1)$; $\updownarrow(r1, w0, r0, w1)$ –

обнаруживаются дефекты типов ATCLF и SPVCSF.

□ Принцип: создаются наиболее вероятные условия для проявления ошибки.

	1	
	1	
	0	
	1	
	1	
	1	
	1	
	1	



	1	
	1	
	1	
	1	
	1	
	1	
	1	
	1	

Проверяемая
ячейка

1	1	0	1	1	1	1



1	1	1	1	1	1	1

Варианты замены дефектных ячеек на резервные ячейки

□ **Redundancy** – резервирование компонентов схемы для повышения выпуска годной продукции.

Возможные варианты:

□ **Redundant Bank** – добавление запасного банка (*неэффективно при наличии дефектов в разных банках, влечет большие накладные расходы*);

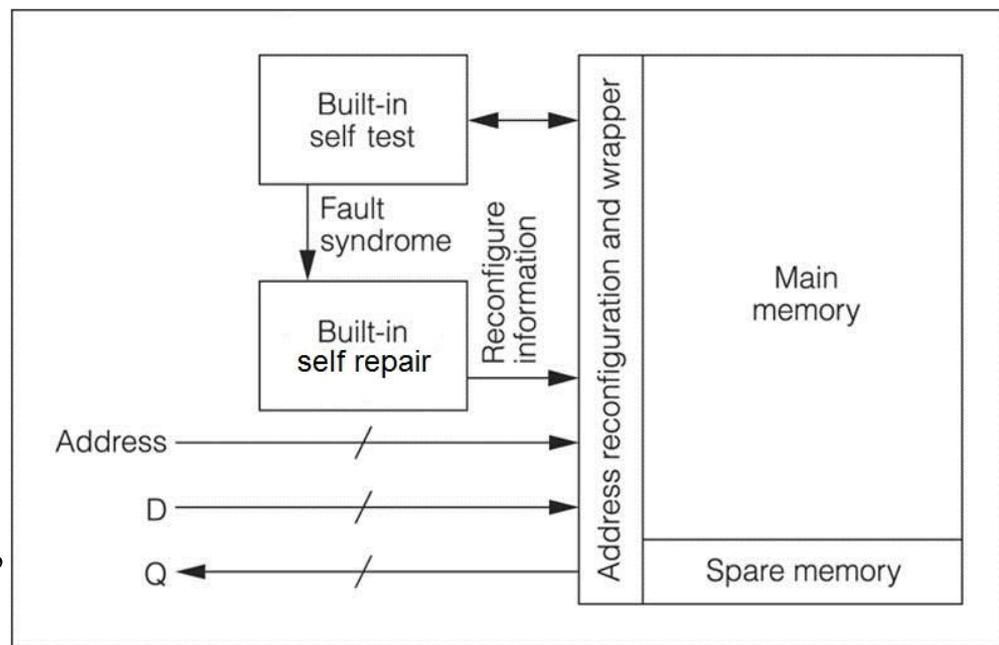
□ **Redundant Row** – добавление запасной строки для каждого блока памяти (*значительное ухудшение временных характеристик*);

□ **Redundant Column** – добавление запасного столбца для каждого блока памяти (*оптимальный вариант*).

	No Redundancy	Redundant Column	Redundant Row
Площадь блока памяти, мкм ²	17531	18568 (+6%)	19702 (+12%)
Тактовая частота, МГц	1253,9	1255,0	1160,5 (-8,5%)
Время задержки данных чтения, нс	0,501	0,502	0,584 (+16%)

Повышение выхода годных процессоров с помощью схем BISR (Built-In Self Repair)

- I. При включении процессора запускается BIST блоков памяти с тестовым алгоритмом MarchG(m)28+. Номера столбцов ячеек, в которых обнаруживаются дефекты, заносятся в регистры;
- II. Запускается BISR: дефектные столбцы заменяются на запасные;
- III. Предлагается проводить повторный запуск BIST с целью проверки на наличие дефектов
 - запасных столбцов;
 - окружающей логики.
- IV. В случае обнаружения дефектов несмотря на проведённую замену, процессор признаётся негодным.



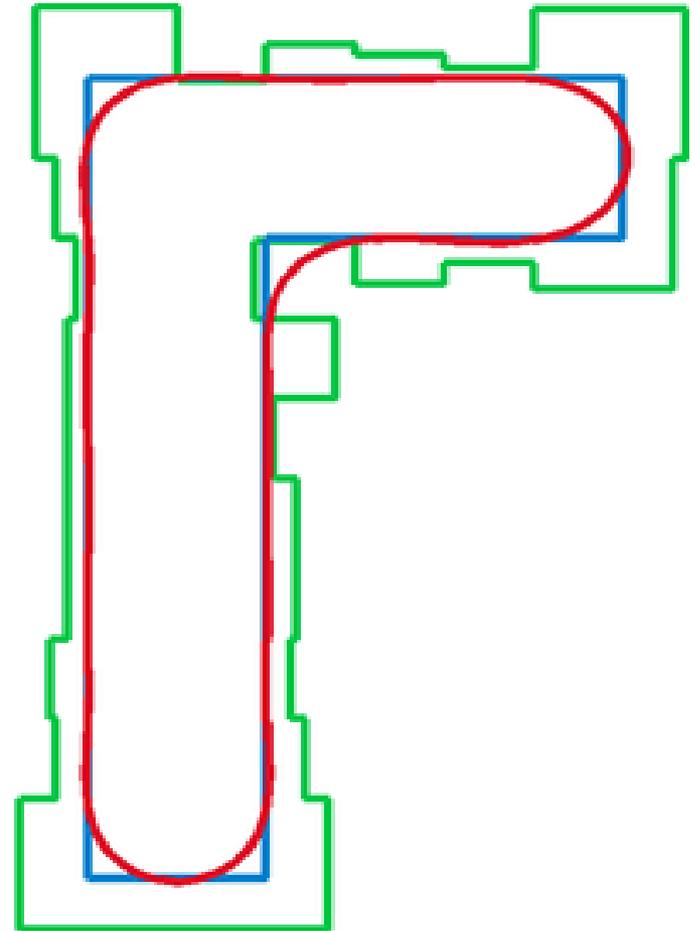
Результаты

- Проведено исследование, в котором был составлен список возможных дефектов блоков памяти и определены новые типы дефектов, становящихся статистически значимыми при производстве процессорных кэш-памятей по технологии 28 нм и более тонких.
- Построен модифицированный тестовый алгоритм, который обнаруживает все дефекты требуемых типов. Алгоритм готов к использованию в проекте «Эльбрус-4С+» и последующих.
- Выбран оптимальный вариант замены дефектных ячеек на запасные и предложен алгоритм активации этих резервов.

Спасибо за внимание!

Усложнение процесса фотолитографии

- ❑ Когда размер рисунка оказывается меньше длины волны экспонирующего света, линейная оптика заменяется на куда более сложную дифракционную.
- ❑ Оптическая коррекция близости: требуется вычислить такую маску (зелёный контур), чтобы получаемый ею символ (красный) оказался как можно ближе к требуемому (синий).



Управление заменой дефектных ячеек

Возможные варианты:

- ❑ **eFUSE** – плавкие перемычки (*дорогостоящая технология*)
- ❑ **через память** – хранение сигнатуры в отдельном блоке памяти (хранит более сложный шаблон ошибок, но занимает больше площади, организация окружения сложнее)
- ❑ **через регистры** – однобитовая память флагов ошибок или счётчики ошибок (*оптимальный для column redundancy вариант*)