

Разработка контроллера ввода/вывода с интерфейсом АХІ для микропроцессоров семейства «Эльбрус»

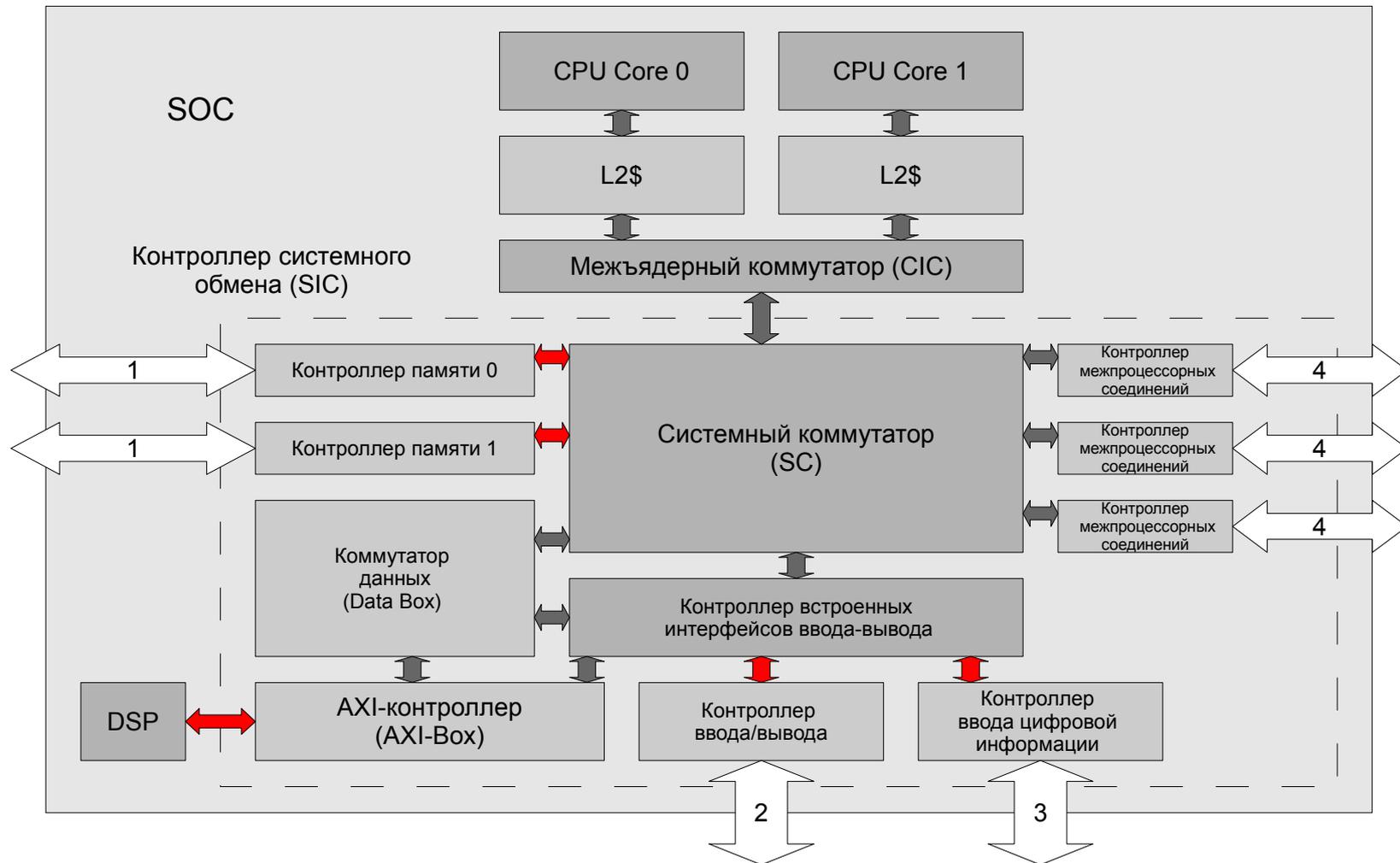
Выполнил: Вараксин В.Н. 713 гр.
Научный руководитель: Костенко В.О.

Введение

Проблема: повышение производительности микропроцессоров путем размещения ряда контроллеров в системах на кристалле ведёт к усложнению их разработки и отладки.

Метод решения: использовать стандартные, унифицированные интерфейсы между крупными модулями внутри системы.

Система на кристалле СБИС МП



Обозначения на рисунке:

1 — Интерфейс с памятью

2 — Канал ввода-вывода

3 — Канал ADC

4 — Межпроцессорные линки



- интерфейсы, подходящие для стандартизации

Постановка задачи

Разработать Контроллер ввода/вывода с внутренним интерфейсом АХІ для Систем на кристалле семейства «Эльбрус»

Требования

- Найти наиболее оптимальную для данной задачи конфигурацию интерфейса АХІ
- Сохранить полную совместимость с существующей подсистемой ввода/вывода
- Обеспечить минимальные задержки передачи данных

Протокол АХІ

Преимущества:

- Универсальность
- Открытость + хорошая документированность
- Высокая скорость и небольшие задержки передачи
- Простота реализации
- Масштабируемость
- Широкое распространение

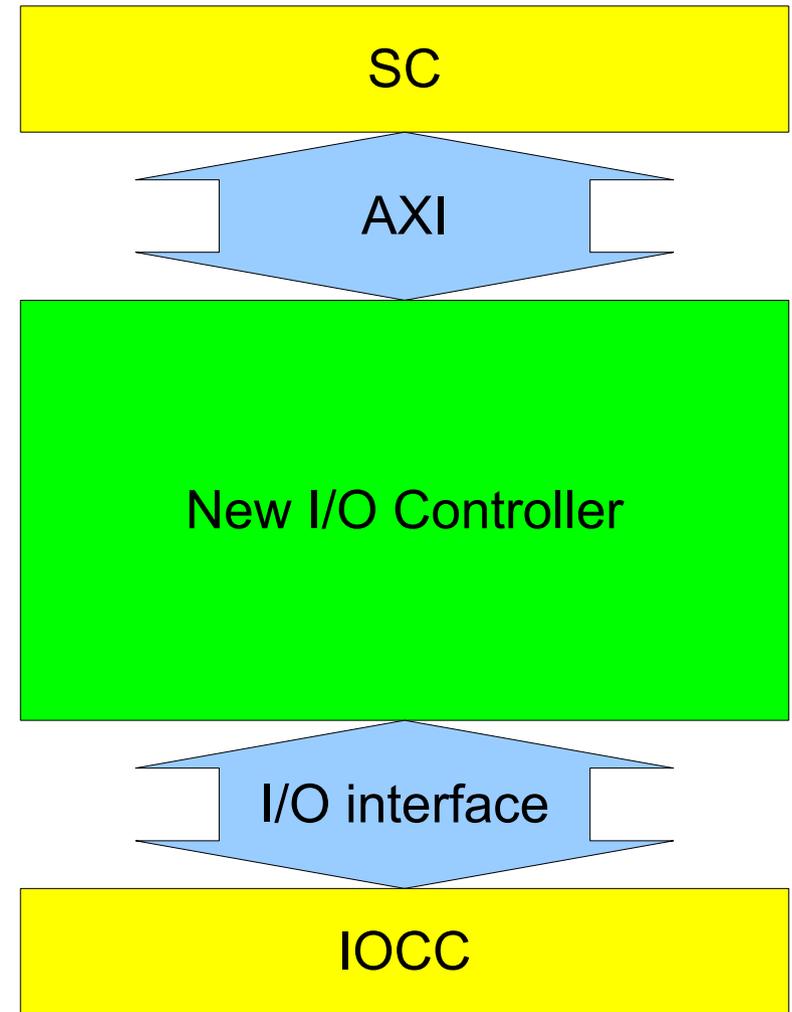
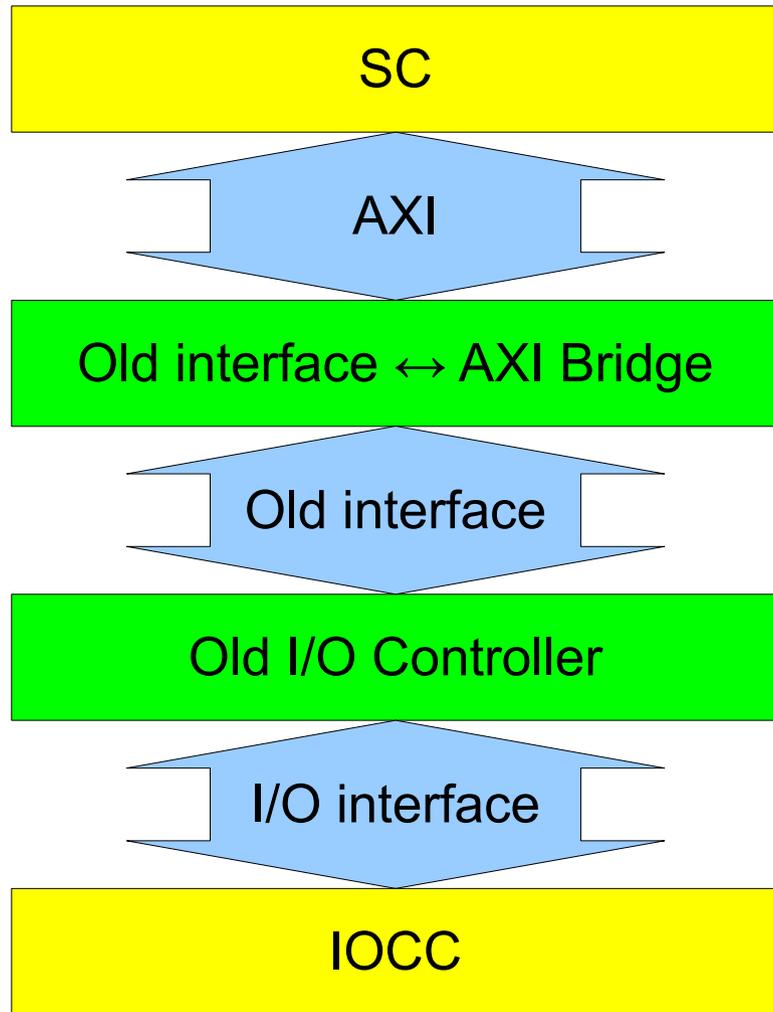
Назначение контроллера:

Контроллер ввода/вывода входит в состав системы на кристалле, структурно расположен между системным коммутатором и контроллером канала ввода/вывода.

Контроллер выполняет формирование и буферизацию следующих транзакций:

- запросов процессора в пространство I/O
- ответов из пространства I/O в процессор
- запросов на DMA со стороны I/O
- ответов по DMA от процессора
- запросов в пространство конфигурационных регистров
- сообщений между LAPIC и IOAPIC

Методы реализации:



I: Разработка моста между существующим контроллером и Системным коммутатором

II: Разработка нового контроллера

Достоинства и недостатки двух методов

I метод (мост) :

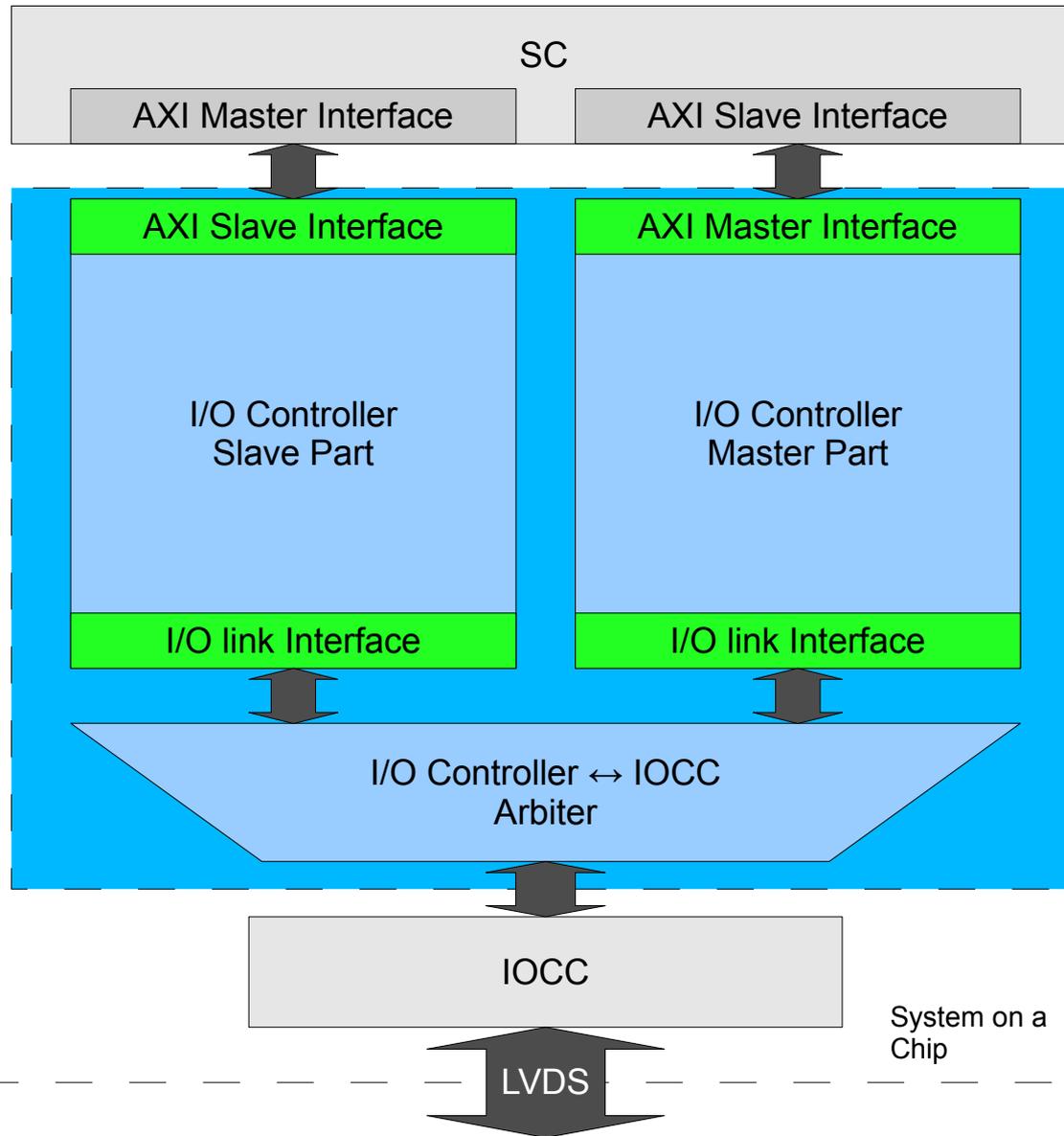
- + Быстрота получения конечного результата
- Снижение производительности
- Увеличение количества оборудования и энергопотребления

II метод (новый контроллер)

- Длительная разработка
- + Оптимальная производительность
- + Экономия оборудования и энергопотребления

В итоге, было принято решение разработать новый контроллер

Общая схема устройства

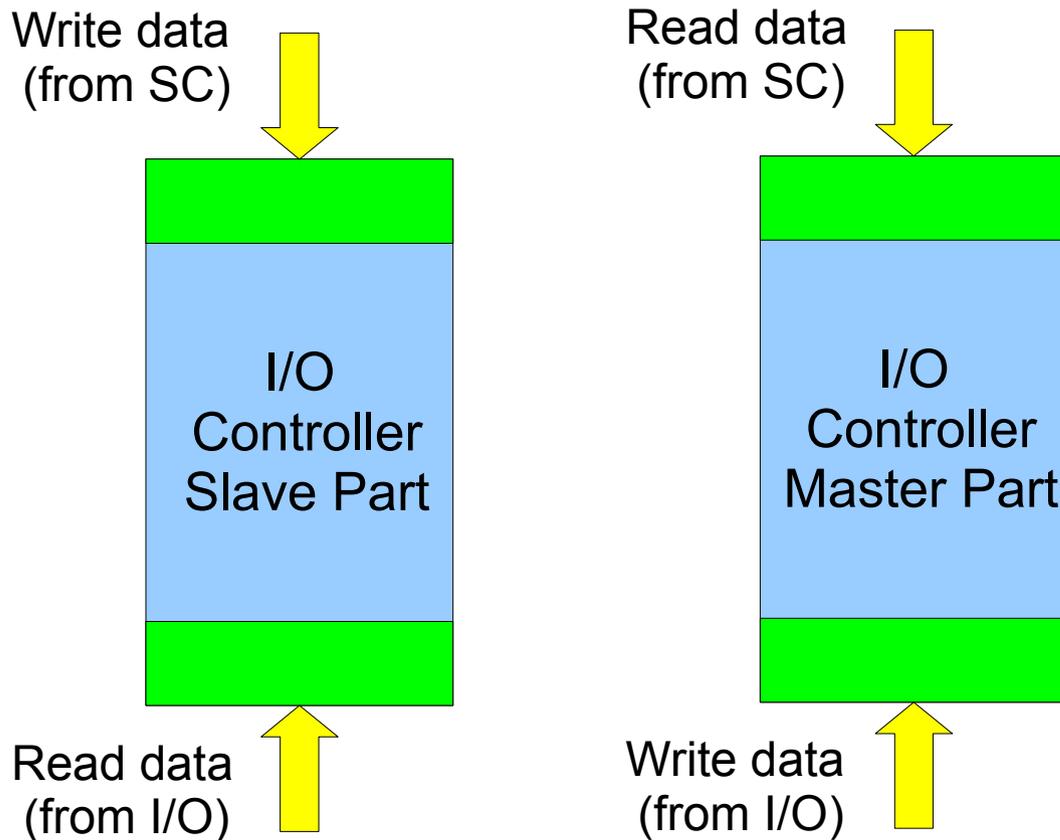


- Slave part — обслуживание I/O транзакций, до 16 одновременно.

- Master part — обслуживание DMA транзакций, до 16 одновременно.

- I/O Controller ↔ IOCC Arbiter — арбитр с круговым приоритетом, для доступа к IO-линку

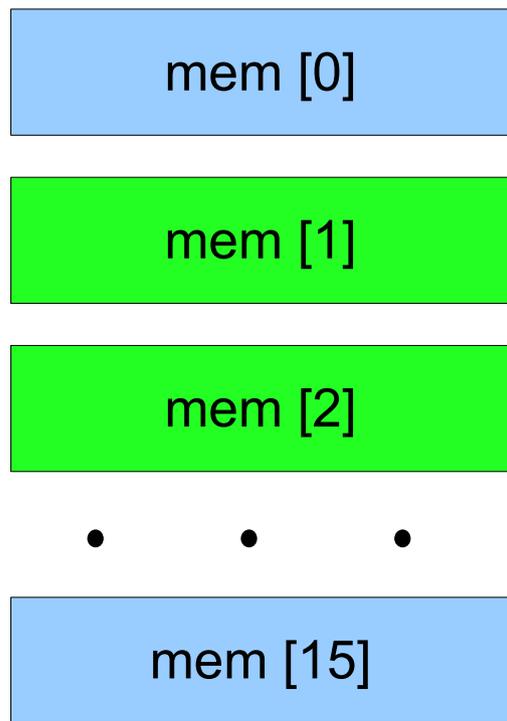
Проблема реализации памяти



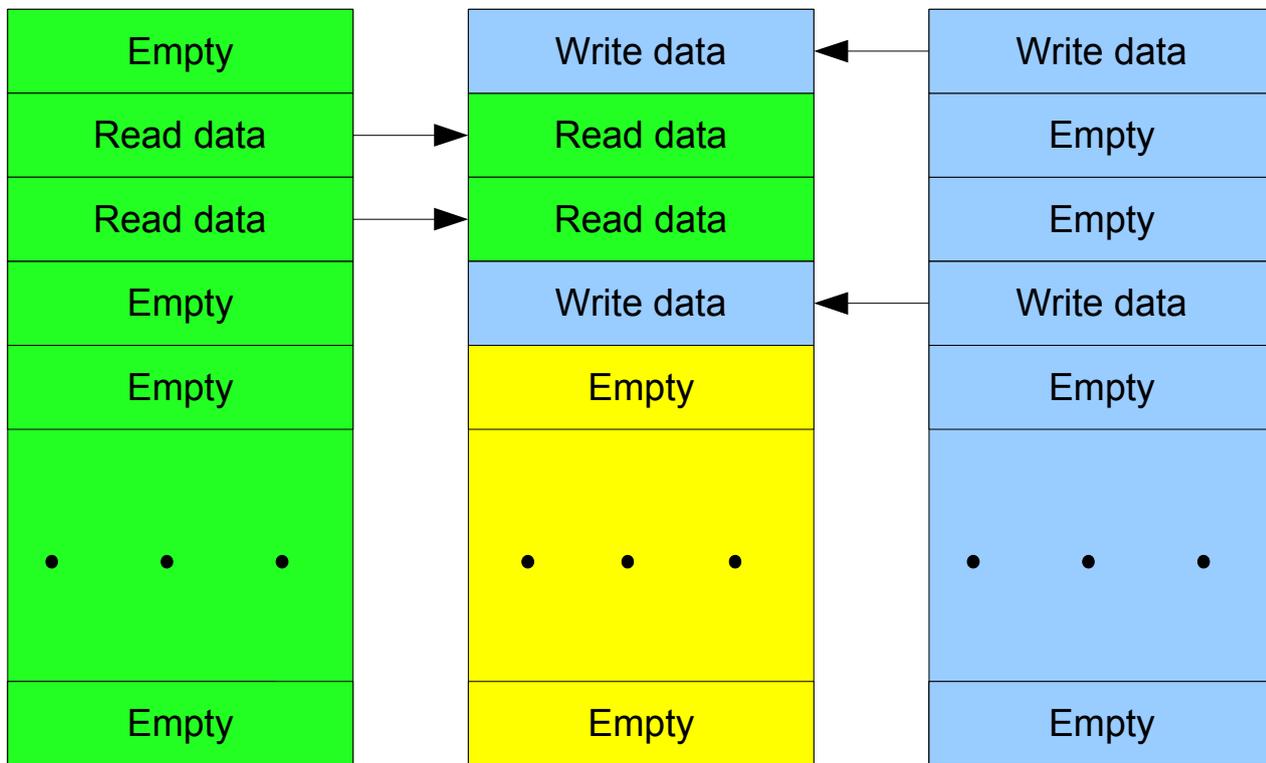
В каждой из частей Slave и Master буферизуется до 1 кБайта данных => необходимо использовать блоки памяти.

Проблема: из-за одновременной записи с двух сторон (со стороны AXI и IO линка) реализовать всю память в одном блоке невозможно.

Варианты реализации памяти



I вариант.
16 блоков по 64 Байта



II вариант.
2 блока по 1 Кбайту (избыточность)

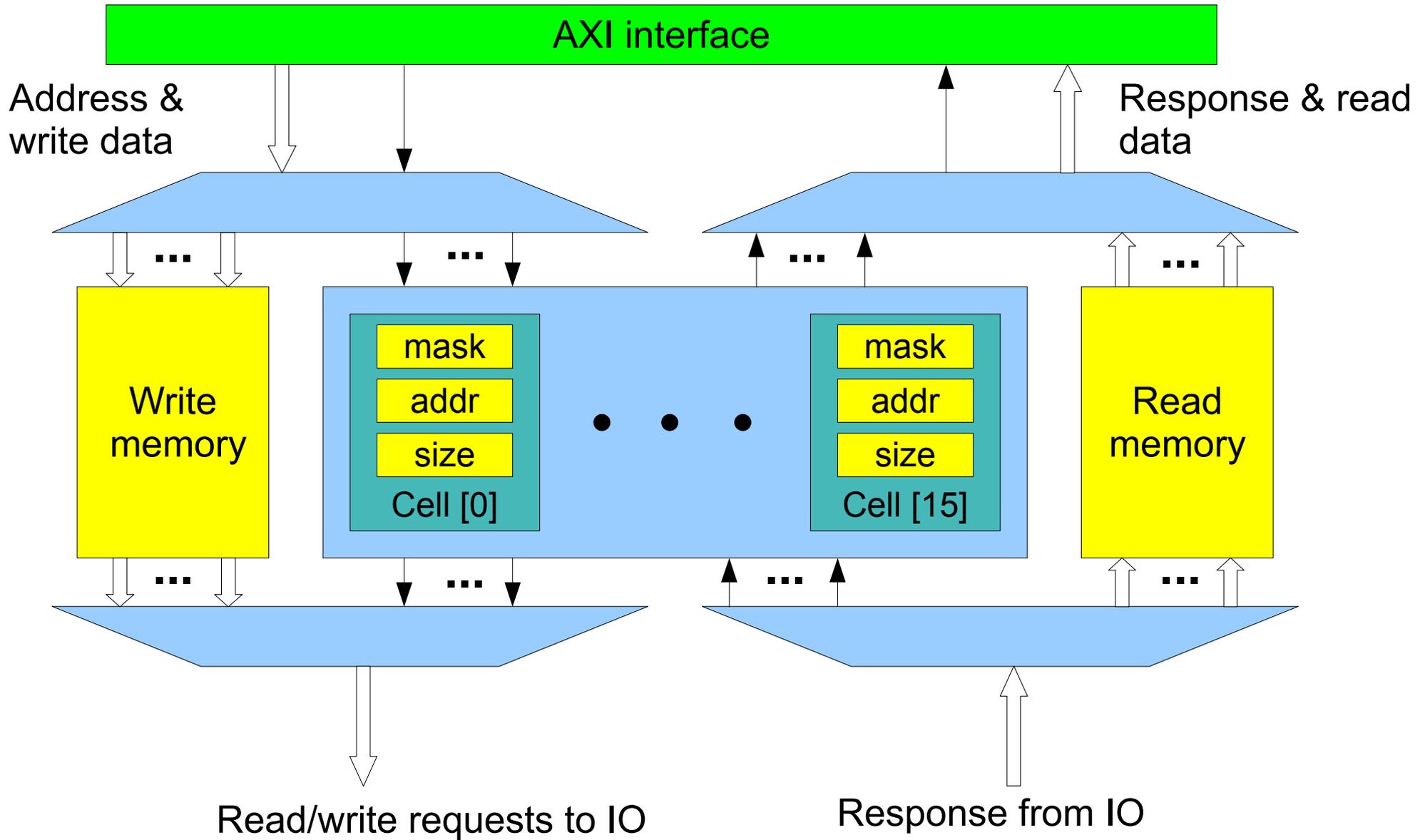
Выбор конфигурации памяти

Для того, чтобы принять решение, оценим площадь, занимаемую памятью для каждого из вариантов

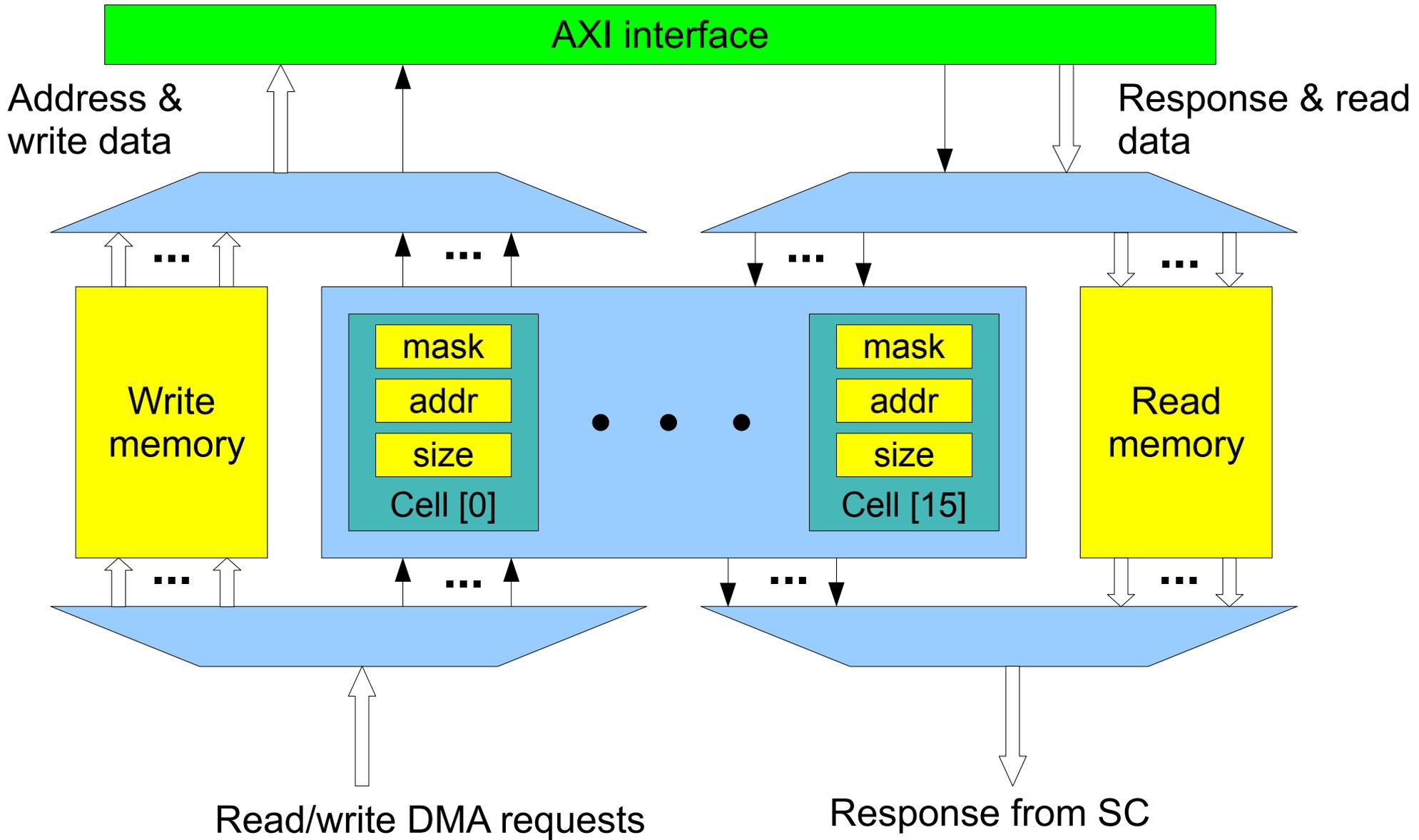
Вариант	Занимаемая площадь (техпроцесс 90 нм)
Триггеры	$\sim 0.3 \text{ мм}^2$
16 блоков по 64 Б $16 \times 0.009 \text{ мм}^2$	$\sim 0.144 \text{ мм}^2$
2 блока по 1кБ $2 \times 0.032 \text{ мм}^2$	$\sim 0.064 \text{ мм}^2$

Видно, что наименьшую площадь занимает вариант с двумя блоками по 1кБ.

Cxema Slave



Cxema Master



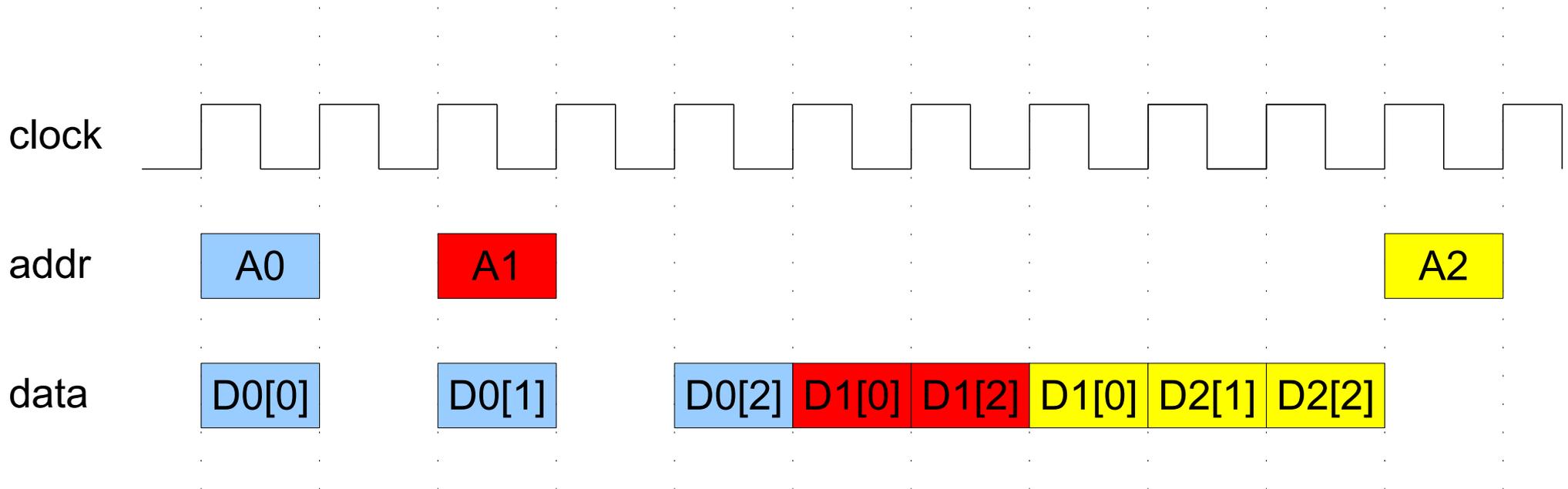
Особенности реализации AXI

Поддерживаются:

- Любые размеры пакетов в диапазоне 1..16 слов
- Приостановки передачи данных
- Произвольный порядок начального поступления адреса/данных в рамках одного сообщения

Запрещено:

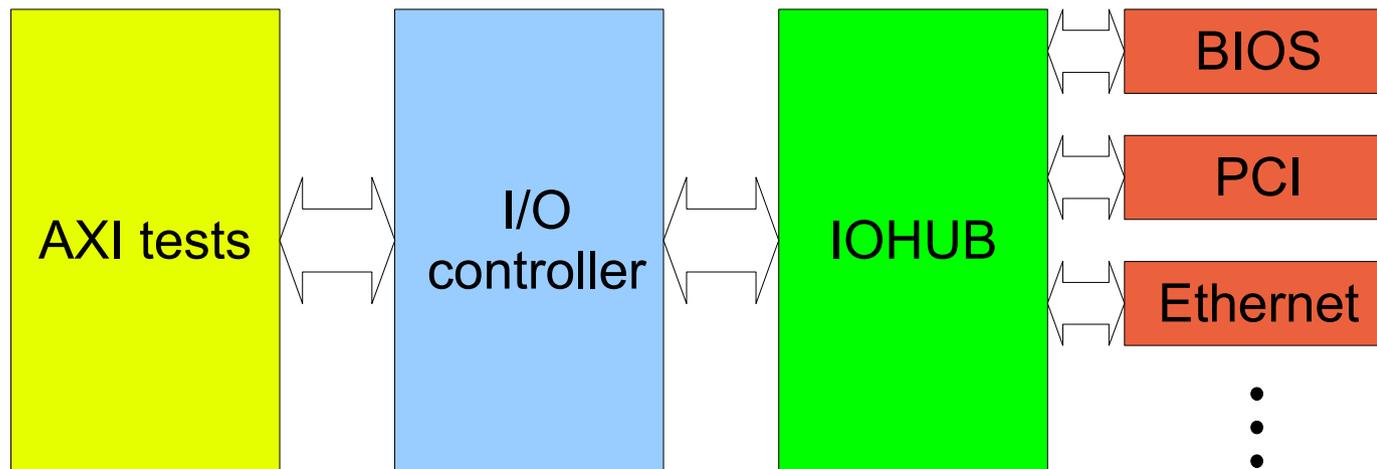
- Перемешивание данных из разных транзакций



Методы тестирования

I. Автономное тестирование

II. Тестирование с Южным мостом и имитаторами устройств ввода/вывода



Результаты

- Разработано Verilog-описание контроллера
- Написан набор тестов, в том числе в связке с КПИ и имитаторами устройств ввода/вывода
- Во время тестирования была достигнута максимальная пропускная способность IO канала
- Произведен предварительный синтез устройства (техпроцесс 90 нм):
 - Площадь: 0.35 мм^2
 - Критическая цепь: 1.77 нс (~560 МГц).

Спасибо за внимание!